

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-287682

(43)Date of publication of application : 04.10.2002

(51)Int.Cl. G09G 3/20
G09F 9/30
G09G 3/30
G09G 3/32
H05B 33/14

(21)Application number : 2001-084716

(71)Applicant : CANON INC

(22)Date of filing : 23.03.2001

(72)Inventor : KONDO SHIGEKI
NAKAMURA HIROYUKI

(54) DISPLAY PANEL AND METHOD FOR DRIVING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a gray scale display by a time gray scale method with lower power consumption in an active matrix type display panel using current controlling type light emitting elements.

SOLUTION: In the pixel connected to a selected scanning line, a driving signal with the information to emit light or not to emit light of the light emitting element of the pixel is applied through a signal line, while an electric current is supplied by a switching means to the light emitting element in the pixel driven to emit light by the signal. The light emitting time of the light emitting element is controlled by modulating the on-state period of the switching means to obtain a gray scale display.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-287682

(P2002-287682A)

(43) 公開日 平成14年10月4日 (2002. 10. 4)

(51) Int.Cl. ⁷	識別記号	F I	テ-リ-ト* (参考)
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 0 9 G 3/30		G 0 9 G 3/30	J
3/32		3/32	A
審査請求 未請求 請求項の数13 O L (全 9 頁) 最終頁に続く			

(21) 出願番号 特願2001-84716 (P2001-84716)

(22) 出願日 平成13年3月23日 (2001. 3. 23)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 近藤 茂樹

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(72) 発明者 中村 博之

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(74) 代理人 100096828

弁理士 渡辺 敏介 (外2名)

最終頁に続く

(54) 【発明の名称】 表示パネルとその駆動方法

(57) 【要約】

【課題】 電流制御型発光素子を用いたアクティブマトリクス型の表示パネルにおいて、時間階調方式による階調表示をより低消費電力で実現する。

【解決手段】 選択された走査線に接続された画素には信号線より、当該画素の発光素子の発光・非発光情報を有する駆動信号を印加し、該信号によって発光させる画素の発光素子にはスイッチ手段を介して電流を供給し、該スイッチ手段のオン期間を変調することで発光素子の発光時間を制御し、階調表示を得る。

【特許請求の範囲】

【請求項1】 複数行の走査線と複数列の信号線を基板上にマトリクス配置し、該走査線と信号線の交点を画素として、画素毎に、素子に流れる電流に応じて輝度に変化する電流制御型発光素子を備えたアクティブマトリクス型の表示パネルであって、各画素において、少なくとも、上記走査線より入力された選択信号によって、画素行毎に共通にオンし、信号線より駆動信号が入力される第1スイッチ手段と、上記第1スイッチ手段を介して駆動信号が入力され、該駆動信号に応じて発光素子への電流の供給をメモリする電流メモリ部と、上記電流メモリ部と発光素子との間に接続され、電流メモリ部から発光素子への電流の供給を制御する第2スイッチ手段と、を備えたことを特徴とする表示パネル。

【請求項2】 上記第2スイッチ手段が2入力のマルチプレクサで構成されている請求項1に記載の表示パネル。

【請求項3】 上記第1スイッチ手段が第1乃至第3トランジスタで構成され、電流メモリ部が保持容量と第4トランジスタで構成され、第1トランジスタのゲート電極が画素行毎に共通に走査線に接続され、第1主電極が画素列毎に共通に信号線に接続され、第2主電極が第2トランジスタの第1主電極、ゲート電極、及び第3トランジスタの第1主電極に接続され、第2トランジスタの第2主電極が第1の電源線に接続され、第3トランジスタのゲート電極が画素行毎に共通に走査線に接続され、第2主電極が保持容量の第1電極及び第4トランジスタのゲート電極に接続され、保持容量の第2電極が第1の電源線に接続され、第4トランジスタの第1主電極が第1の電源線に接続され、第2主電極が第2スイッチ手段を介して発光素子の第1電極に接続され、発光素子の第2電極が第2の電源線に接続されている請求項1または2に記載の表示パネル。

【請求項4】 上記トランジスタが薄膜トランジスタである請求項3に記載の表示パネル。

【請求項5】 上記第2スイッチ手段が第5トランジスタと第6トランジスタを直列に接続してなり、第5トランジスタの第1主電極が前記第4トランジスタの第2主電極に、第6トランジスタの第2主電極が発光素子の第1電極に接続され、両トランジスタのゲート電極を2入力とするマルチプレクサを構成してなる請求項3または4に記載の表示パネル。

【請求項6】 上記第2スイッチ手段が第5トランジスタで構成され、第1主電極が前記第4トランジスタの第2主電極に、第2主電極が発光素子の第1電極に接続され、当該トランジスタのゲート電極と発光素子の第2電極とを2入力とするマルチプレクサが構成されている請求項3または4に記載の表示パネル。

【請求項7】 上記第3トランジスタの第2主電極に第1主電極を、第1電源線に第2主電極を、ゲート電極を

第2のバルス信号線に接続したリセット用のトランジスタを有する請求項3～6のいずれかに記載の表示パネル。

【請求項8】 請求項1～7のいずれかに記載の表示パネルの駆動方法であって、走査線に順次選択信号を印加して、画素行毎に共通に第1スイッチ手段をオンし、上記第1スイッチ手段のオン期間に同期して、当該画素の発光素子の発光・非発光情報を有する駆動信号を各信号線及び第1スイッチ手段を介して電流メモリ部に印加し、該駆動信号の情報に応じて電流メモリ部に発光素子への電流の供給をメモリし、電流メモリ部より発光素子への電流の供給を第2スイッチ手段のオン・オフによって制御することを特徴とする表示パネルの駆動方法。

【請求項9】 上記第2スイッチ手段のオン期間を変調することによって、発光素子の発光時間を変調する請求項8に記載の表示パネルの駆動方法。

【請求項10】 上記第2スイッチ手段が2入力のマルチプレクサで構成され、該第2スイッチ手段のオン期間の変調を、上記マルチプレクサの入力信号によって制御する請求項9に記載の表示パネルの駆動方法。

【請求項11】 上記第2スイッチ手段がトランジスタを2個直列に接続してなり、両トランジスタのゲート電極を2入力としてマルチプレクス駆動する請求項10に記載の表示パネルの駆動方法。

【請求項12】 上記第2スイッチ手段が1個のトランジスタで構成され、該トランジスタのゲート電極と発光素子の該トランジスタが接続されていない側の電極とを2入力としてマルチプレクス駆動し、発光素子の発光時間を変調する請求項8に記載の表示パネルの駆動方法。

【請求項13】 上記第1スイッチ手段と電流メモリ部との間にリセット用のトランジスタを有し、全画素の信号保持部に駆動信号が保持された後、該トランジスタをオンして先に電流メモリ部に転送されていた駆動信号をリセットする請求項8～12のいずれかに記載の表示パネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、有機及び無機エレクトロルミネッセンス（以下、「EL」と記す）素子や発光ダイオード（以下、「LED」と記す）素子といった、自発光型発光素子を用いたアクティブマトリクス型の表示パネルとその駆動方法に関する。

【0002】

【従来の技術】 従来、有機及び無機EL素子、或いはLED素子等のような自発光型の発光素子をアレイ状に組み合わせ、ドットマトリクスにより表示を行うディスプレイは、テレビや携帯端末等に広く利用されている。これら自発光型の発光素子を用いたディスプレイは、液晶ディスプレイとは異なり、照明のためのバックライトを必要とせず、視野角が広いといった特徴を有し、注目を

集めている。

【0003】中でも、トランジスタ等スイッチング素子とこれら発光素子とを組み合わせるスタティック駆動を行うアクティブマトリクス型と呼ばれるディスプレイは、ダイナミック駆動を行う単純マトリクス型のディスプレイと比較して、高輝度、高コントラスト、高精細等の優位性を持っており、近年注目されている。

【0004】この種のディスプレイの従来例として、図8に、Society for Information Display発行の、1990年秋季大会予稿集「Eurodisplay'90」の第216～219頁の発表から引用した、EL素子を使用したアクティブマトリクス型ディスプレイの駆動回路の1画素構成を示す。図中、101、107はトランジスタ、102は走査線、103はデータ線、104はコンデンサ、105は電源線、106はEL素子、108は共通電極、109は電流制御回路である。

【0005】図8の構成において、走査線102が選択されて選択信号が印加されると、トランジスタ101がオンとなり、トランジスタ101を介してデータ線103からデータ信号がコンデンサ104に書き込まれる。コンデンサ104に書き込まれたデータ信号は、トランジスタ107のゲート・ソース電極間電圧を決定する。

【0006】次いで、当該走査線102が非選択となり、トランジスタ101がオフすると、コンデンサ104の両端間の電圧は次の走査で当該走査線102が選択されるまで保持される。そして、コンデンサ104の両端間の電圧に応じて、電源線105→EL素子106→トランジスタ107のドレイン→共通電極108という経路に沿って電流が流れ、この電流によりEL素子106が発光する。

【0007】一般的に、コンピュータの端末、パーソナルコンピュータのモニタ、テレビ等の動画表示を行うためには、各画素の輝度が変化する階調表示ができることが望ましい。画像に階調性を出すためには、従来、アナログ階調方式、面積階調方式、時間階調方式が用いられていた。

【0008】アナログ階調方式では、発光素子に電流を供給するトランジスタのゲート電極電位を、ビデオ信号に応じて制御する。即ち、トランジスタのコンダクタを制御する必要がある。この場合、発光素子の輝度-電圧特性に応じてビデオ信号を変化させる必要がある。一般的にEL素子やLED素子の電圧-電流特性は非線形のダイオード特性を示すため、電圧-輝度特性もダイオード特性を示す。従って、ビデオ信号電圧にガンマ補正を施す必要があり、システムが複雑になる。また、トランジスタ、特にディスプレイで広く用いられている薄膜トランジスタ（以下、「TFT」と記す）は特性にバラツキがあるため、画素に入力されるビデオ信号電圧が均一であっても、表示にムラを生じてしまう。

【0009】図8の駆動回路において、アナログ階調表示を行うためには、トランジスタ107のゲート・ソース電極間にしきい値電圧(V_{th})付近の電圧を印加する必要がある。しかしながら、トランジスタ107のゲート電圧・ソース電流特性に、図9に示すようなバラツキがあると、例えば図8のトランジスタ107のゲート電極にゲート電圧 V_g を印加した場合、トランジスタ107に流れる電流は I_1 （実線で示す曲線と V_{th} との交点）と I_2 （破線で示す曲線と V_{th} との交点）のように異なるため、EL素子106に流れる電流も変わり、本来ならば同じ輝度であるはずの領域の輝度が異なり、輝度ムラ等の画質劣化が生じることになる。

【0010】上述のようなトランジスタ特性のバラツキの影響を受けにくい回路も提案されている。IDRC (International Display Research Conference) 2000, Digest p. 358～361には、カレントミラー回路をEL素子を用いたディスプレイの駆動回路に適用した形態が提案されている。図10は、当該駆動回路の1画素構成を示す図であり、図中、120はカレントミラー回路、121～124はTFT、125は保持容量、126は有機EL素子、127は走査線、128は信号線、129は電源線、130は定電流回路である。

【0011】図10の構成において、走査線127に印加された選択信号によって、トランジスタ123と124がオンすると、定電流回路130からの定電流がトランジスタ124を介してトランジスタ121に供給され、さらに、TFT123を介して保持容量125とTFT122のゲート電極に供給される。TFT121とTFT122はカレントミラーを構成しており、同一電流が流れる。TFT123とTFT124がオフしても、保持容量125によってTFT122のゲート電極電位は固定されているため、TFT122はオン状態を保持して定電流を流し続ける。この状態で、定電流値を制御することで、有機EL素子126が発光・非発光を行うことになる。

【0012】カレントミラー回路120は、供給された電流を、TFTのしきい値電圧に関わらず負荷に供給することが可能であるため、本質的にTFTのバラツキに関係なく、負荷、即ち有機EL素子126に定電流を供給することが可能となる。また、ここで使用される保持容量125は、ドライブTFT122のゲート電圧を保持するために必要最小限の大きさでよい。

【0013】また、面積階調方式としては、文献「AM-LCD2000, AM3-1」に提案されている方式が挙げられる。この方式は、一つの画素を複数の副画素に分割し、各副画素をオン・オフして、オンしている副画素の総面積によって当該画素の階調を出すものである。しかしながらこの方式では、開口率を上げるのが困難なため、発光素子への駆動電流密度を上げざるを得

10

20

30

40

50

ず、駆動電圧の上昇、素子の寿命低下といった問題がある。

【0014】また、時間階調方式は、上述のアナログ階調方式や面積階調方式における問題点を解決するために、発光素子の発光時間を変調して階調を出す方式であり、例えば、SID2000 DIGEST 36.1 (p. 912~915) で報告されている。

【0015】しかしながら、当該方式においても、回路構成に用いたトランジスタのバラツキの影響を小さくするため、発光素子の定電流駆動のためのトランジスタを線形領域で動作させる必要があり、このため、電源電圧、消費電力の上昇といった問題がある。

【0016】また、この方式では、上記報告内にもあるように、複数の発光期間の選択により1フィールド期間内のトータルな発光時間を変調する。例えば、8ビット(256階調)を表示しようとした場合、発光時間としては、1フィールド期間を1:2:4:8:16:32:64:128の8つのサブフィールド期間を選択することになる。そして、各サブフィールド期間の直前に、そのサブフィールド期間での発光・非発光を選択するため、全画素のアドレッシング期間が必要となる。このアドレッシング期間は、基本的には全画素非表示であり、1フィールド内での有効発光期間は、Nビット階調表示を行う場合、有効発光期間=(1フィールド期間)-(1画面アドレッシング期間×N)となり、発光輝度が低下する。そのため、1サブフィールド当たりの発光輝度を上げて、フィールド全体での発光輝度を補う必要が生じる。また、通常の液晶ディスプレイ(LCD)では、1フィールド当たり1回のアドレスですむところを、階調ビット回数分だけアドレスする必要があるため、より高速のアドレッシング回路が必要になる。

【0017】

【発明が解決しようとする課題】本発明の課題は、上記時間階調方式で階調表示を行う場合の問題点を解決し、トランジスタの特性バラツキの影響を受けず、高輝度で発光素子を発光させることができる表示パネルとその駆動方法を提供することにある。

【0018】

【課題を解決するための手段】本発明の第一は、複数行の走査線と複数列の信号線を基板上にマトリクス配置し、該走査線と信号線の交点を画素として、画素毎に、素子に流れる電流に応じて輝度が変化する電流制御型発光素子を備えたアクティブマトリクス型の表示パネルであって、各画素において、少なくとも、上記走査線より入力された選択信号によって、画素行毎に共通にオンし、信号線より駆動信号が入力される第1スイッチ手段と、上記第1スイッチ手段を介して駆動信号が入力され、該駆動信号に応じて発光素子への電流の供給をメモリする電流メモリ部と、上記電流メモリ部と発光素子との間に接続され、電流メモリ部から発光素子への電流の

供給を制御する第2スイッチ手段と、を備えたことを特徴とする。

【0019】上記本発明の表示パネルにおいては、下記の構成を好ましい態様として含むものである。

【0020】上記第2スイッチ手段が2入力マルチプレクサで構成されている。

【0021】上記第1スイッチ手段が第1乃至第3トランジスタで構成され、電流メモリ部が保持容量と第4トランジスタで構成され、第1トランジスタのゲート電極が画素行毎に共通に走査線に接続され、第1主電極が画素列毎に共通に信号線に接続され、第2主電極が第2トランジスタの第1主電極、ゲート電極、及び第3トランジスタの第1主電極に接続され、第2トランジスタの第2主電極が第1の電源線に接続され、第3トランジスタのゲート電極が画素行毎に共通に走査線に接続され、第2主電極が保持容量の第1電極及び第4トランジスタのゲート電極に接続され、保持容量の第2電極が第1の電源線に接続され、第4トランジスタの第1主電極が第1の電源線に接続され、第2主電極が第2スイッチ手段を介して発光素子の第1電極に接続され、発光素子の第2電極が第2の電源線に接続されている。

【0022】上記トランジスタが薄膜トランジスタである。

【0023】上記第2スイッチ手段が第5トランジスタと第6トランジスタを直列に接続してなり、第5トランジスタの第1主電極が前記第4トランジスタの第2主電極に、第6トランジスタの第2主電極が発光素子の第1電極に接続され、両トランジスタのゲート電極を2入力とするマルチプレクサを構成してなる。

【0024】上記第2スイッチ手段が第5トランジスタで構成され、第1主電極が前記第4トランジスタの第2主電極に、第2主電極が発光素子の第1電極に接続され、当該トランジスタのゲート電極と発光素子の第2電極とを2入力とするマルチプレクサが構成されている。

【0025】上記第3トランジスタの第2主電極に第1主電極を、第1電源線に第2主電極を、ゲート電極を第2のバース信号線に接続したりセット用のトランジスタを有する。

【0026】本発明の第二は、上記本発明の表示パネルの駆動方法であって、走査線に順次選択信号を印加して、画素行毎に共通に第1スイッチ手段をオンし、上記第1スイッチ手段のオン期間に同期して、当該画素の発光素子の発光・非発光情報を有する駆動信号を各信号線及び第1スイッチ手段を介して電流メモリ部に印加し、該駆動信号の情報に応じて電流メモリ部に発光素子への電流の供給をメモリし、電流メモリ部より発光素子への電流の供給を第2スイッチ手段のオン・オフによって制御することを特徴とする。

【0027】上記本発明の駆動方法においては、下記の構成を好ましい態様として含むものである。

【0028】上記第2スイッチ手段のオン期間を変調することによって、発光素子の発光時間を変調する。

【0029】上記第2スイッチ手段が2入力のマルチプレクサで構成され、該第2スイッチ手段のオン期間の変調を、上記マルチプレクサの入力信号によって制御する。

【0030】上記第2スイッチ手段がトランジスタを2個直列に接続してなり、両トランジスタのゲート電極を2入力としてマルチプレクス駆動する。

【0031】上記第2スイッチ手段が1個のトランジスタで構成され、該トランジスタのゲート電極と発光素子の該トランジスタが接続されていない側の電極とを2入力としてマルチプレクス駆動し、発光素子の発光時間を変調する。

【0032】上記第1スイッチ手段と電流メモリ部との間にリセット用のトランジスタを有し、全画素の信号保持部に駆動信号が保持された後、該トランジスタをオンして先に電流メモリ部に転送されていた駆動信号をリセットする。

【0033】

【発明の実施の形態】本発明の表示パネルは、基本構成として複数行の走査線と複数列の信号線とを基板上にマトリクス状に配置し、その交点を画素として、画素毎に発光素子を配置したアクティブマトリクス型の表示パネルである。

【0034】本発明においては、上記各画素において、画素を選択する第1スイッチ手段と該第1スイッチ手段を介して書き込まれた信号によって発光素子に供給する電流をメモリする電流メモリ部と発光素子とを回路上シリアルに接続し、且つ、電流メモリ部と発光素子との間に第2スイッチ手段を介在させたことを特徴とする。さらに、本発明の駆動方法は、上記表示パネルにおいて、線順次で走査される第1スイッチ手段に入力された、発光素子の発光・非発光情報を有する駆動信号の該情報に応じて、電流メモリ部に発光素子への電流の供給をメモリし、さらに、電流メモリ部から発光素子への電流の供給を第2スイッチ手段によって制御することを特徴とする。

【0035】よって、本発明の表示パネルにおいては、第2スイッチ手段のオン期間を変調する、或いは、第2スイッチ手段のオン期間と発光素子の第2電極電位を制御することで、発光素子に電流が流れる期間、即ち発光時間を変調し、時間変調による階調表示を行うことができる。本発明では、画素のアドレッシング期間は、第1スイッチ手段を選択して電流メモリ部に発光素子への電流の供給をメモリする期間のみであり、1フィールドにつき1回のアドレスで良いため、発光素子の発光期間を従来の時間階調方式に比べて長くすることができ、その結果、従来よりも高輝度表示を行うことができる。

【0036】図1に、本発明の表示パネルの1画素の回

路構成を模式的に示す。図中1は第1スイッチ手段（アドレッシング部）、2は電流メモリ部、3は第2スイッチ手段、4は発光素子である。

【0037】本発明においては、第1スイッチ手段1をオンすることにより当該画素を選択（アドレス）し、さらに該第1スイッチ手段1に、当該画素の発光素子4を発光させるか、非発光かの情報を有する駆動信号を印加し、該駆動信号の情報に応じて、電流メモリ部2に発光素子4への電流の供給をメモリする。電流メモリ部にメモリされた情報は、アドレスが終了して第1スイッチ手段1がオフした後でも保持される。これにより、電流メモリ部3から発光素子4に電流が供給されるが、この時、直列に配置した第2スイッチ手段3のオン期間を制御することにより、該電流の供給を制御し、発光素子4の発光期間を変調して、結果として階調表示を行うことができる。

【0038】図2は、上記第2スイッチ手段のオン期間を制御する態様として、2入力のマルチプレクサ5を構成した回路を模式的に示す図である。

【0039】図3に、図1、2の第2スイッチ手段のオン期間を制御して時間変調により階調表示を行うタイミングチャートを示す。図3中（a）はアドレッシング期間（ t_a ）を、（b）は表示期間（ t_d ）を示す。図3には階調数として5ビット階調を表示する場合を例示した。図3に示したように、本発明においては、各画素を線順次走査によって選択して、全画素の電流メモリ部2に電流をメモリし（ t_a ）、その後、表示期間（ t_d ）を5つのサブフィールド（ $t_1 \sim t_5$ ）に分割して各フィールドにおいて発光・非発光を制御して、合計の発光時間の違いにより階調表示を行う。尚、図3においては、各サブフィールド $t_1 \sim t_5$ を順次連続して示したが、本発明においては、発光素子4の発光時間が表示期間内においてトータルで所定の時間になれば良く、そのタイミングや連続発光時間、複数の発光時間の間の長さについては特に限定されない。

【0040】本発明によれば、時間階調方式において、駆動信号の各画素への書き込み（アドレス）は1フィールドにおいて1回で済み、従来のように階調ビット数分の書き込みは必要ない。例えば、フルカラー表示を行う8ビット階調を考えた場合、フィールド周波数が60Hz、走査線数240本、1走査線のアドレッシング周期として250kHz必要であると仮定すると、

従来の発光時間（100%白表示）＝ $(1/60) - (1/250 \times 10^3) \times 8 \times 240 = 9.0 \text{ msec}$
 本発明の発光時間（100%白表示）＝ $(1/60) - (1/250 \times 10^3) \times 240 = 15.7 \text{ msec}$
 となり、本発明の方が1.7倍発光時間を長く取ることができる。このことは、言いかえると、同じ発光輝度を得るのに、従来よりも発光素子に流す電流を1/1.7に低減できることを意味する（例えば、有機EL素子の

場合、電流量と発光輝度はほぼリニアに変化する)。これは携帯機器のディスプレイのように、バッテリー駆動を前提とした用途には非常に重要である。

【0041】図4は、図2の回路構成の画素を2×2として構成した本発明の表示パネルのアクティブマトリクス回路を模式的に示す。図中、11は走査ドライバ、12は信号ドライバ、13、14は制御信号ドライバ、15は電源線、16は走査線、17は信号線、18、19は制御信号線であり、図1、図2と同じ部材には同じ符号を付した。

【0042】図4の構成において、走査ドライバ11により走査線16が順次選択され、これと同期して、信号ドライバ12より信号線17に、選択された走査線16に接続された画素の発光・非発光情報を有する駆動信号が印加され、信号線17を介して各画素の第1スイッチ手段に該駆動信号が印加され、さらに、該第1スイッチ手段を介して電流メモリ部2に該駆動信号が入力される。電流メモリ部2では、入力された駆動信号の情報が発光である画素の発光素子4には電流が電流メモリ部2より第2スイッチ手段3を介して供給される。第2スイッチ手段3のオン・オフは、マトリクス配置された制御信号線18、19を介して制御信号ドライバ13、14よりマルチプレクサ7に印加される制御信号の組み合わせにより制御される。マルチプレクサ7を駆動する制御信号ドライバ13、14は、例えば従来の液晶表示パネル用のドライバ技術をそのまま用いることが可能である。

【0043】次に、本発明の具体的な回路構成について説明する。本発明において好ましい基本構成は、上記第1スイッチ手段1が第1乃至第3トランジスタで構成され、電流メモリ部2が保持容量と第4トランジスタで構成され、第1トランジスタのゲート電極が画素行毎に共通に走査線に接続され、第1主電極が画素列毎に共通に信号線に接続され、第2主電極が第2トランジスタの第1主電極、ゲート電極、及び第3トランジスタの第1主電極に接続され、第2トランジスタの第2主電極が第1の電源線に接続され、第3トランジスタのゲート電極が画素行毎に共通に走査線に接続され、第2主電極が保持容量の第1電極及び第4トランジスタのゲート電極に接続され、保持容量の第2電極が第1の電源線に接続され、第4トランジスタの第1主電極が第1の電源線に接続され、第2主電極が第2スイッチ手段3を介して発光素子4の第1電極に接続され、発光素子4の第2電極が第2の電源線に接続されてい構成である。

【0044】図5に、上記基本構成の一実施形態の回路図を示す。本実施形態は、上記好ましい基本構成における第1〜第4トランジスタをTFTで構成し、発光素子として有機EL素子を用いた形態である。図中、51〜55はTFT、56は保持容量、57は+電源線、58は-電源線、59はパルス信号線、60は有機EL素子

であり、図4と同じ部材には同じ符号を付した。

【0045】図5の回路において、走査線16が選択されてTFT51、53がオンすると、当該画素の発光・非発光情報を有する駆動信号が信号線17からTFT51を介してTFT52に供給され、さらにTFT53を介して保持容量56とTFT54のゲート電極に入力される。TFT52とTFT54とはカレントミラーを構成しており、同一の電流が流れる。TFT51とTFT53がオフしても、TFT54のゲート電極電位は保持容量56にメモリされた駆動信号によって固定されている(メモリされている)ため、該駆動信号によるTFT54のオン・オフ状態はメモリされる。即ち、該駆動信号が発光情報を有する場合には、TFT54はオン、非発光情報を有する場合にはTFT54はオフとなるように、駆動信号が設定され、駆動信号が発光情報を有する場合、TFT51、53がオフとなってもTFT54はオン状態を保持し、+電源線57より有機EL素子60に定電流を供給する。TFT54を介して供給された定電流は、最終的にパルス信号線59より入力されるオン信号によってTFT55がオンした期間のみ該TFT55を介して有機EL素子60に供給される。即ち、TFT55のオン期間の制御によって時間階調を得ることができる。

【0046】また、本実施形態においては、パルス信号線59を画素行毎に共通に接続し、有機EL素子60のカソード電極を画素列毎に共通に接続してマトリクス配線し、パルス信号線59、カソード電極を2入力としてマルチプレクス駆動することにより、有機EL素子60の発光時間を制御(TFT55がオン、有機EL素子60のカソード電極電位がlowレベルになる時間の制御)することができる。

【0047】図6は、本発明の表示パネルの他の実施形態の1画素の回路図を示す。本実施形態は、先に示した図5の構成において、第1スイッチ手段のTFT53と電流メモリ部の保持容量56との間に、リセット用のTFT61を並列に接続した形態である。当該回路においては、パルス信号線62にオン信号を入力してTFT61をオンし、保持容量56に保持された電荷を放電して、続いて行われる保持容量56への駆動信号の転送時における電荷の取りこぼしを防止し、正確な信号転送を可能とする。

【0048】また、TFT54をPチャネル型とすることで、TFT54をオフ状態にし、+電源線57から有機EL素子60への電流の供給を停止する。TFT61をNチャネル型とした場合には、+電源線ではなく、例えば-電源線に接続する。有機EL素子は、間欠発光に比べて連続発光させると発光輝度が劣化する度合いが強くなると言われているため、上記したように、一旦有機EL素子60の発光を停止することで、当該有機EL素子60の劣化を遅らせることができる。

【0049】また、このリセット動作は、基本的には、各画素に駆動信号が転送される前に行われれば良い。そのタイミングとしては、例えば、各行毎に走査線が選択される前（この場合は、パルス信号線62は少なくとも各行毎に共通接続される。）や、各フィールド毎（この場合は、パルス信号線62は、行毎、列毎、或いは、全画素共通に接続される。）に少なくとも1回行えばよい。実際のタイミングとしては、映像信号の水平ブランキング期間や垂直ブランキング期間が充てられる。

【0050】図7は、本発明の表示パネルの他の実施形態の1画素の回路図を示す。図中、71、72はTFT、73、74はパルス信号線である。本実施形態は、図2、図4の構成に対応し、先に示した図5の構成において、第2スイッチ手段を2入力のマルチプレクサで構成した形態であり、具体的には第5トランジスタと第6トランジスタを直列に接続し、それぞれのゲート電極を2入力としてマルチプレクス駆動するものである。即ち、図4に示した制御信号ドライバ13、14により、制御信号をパルス信号線73、74に入力し、その組み合わせによってTFT71、72のオン・オフを制御し、画素毎に有機EL素子60に電流を供給する期間（TFT71、72が同時にオンする期間）を制御する。

【0051】尚、上記実施形態においては、スイッチ手段としてTFTを、発光素子として有機EL素子を用いた場合を例に説明したが、スイッチ手段としてはTFT以外のトランジスタやアクティブ素子を用いても良く、また、発光素子としては無機EL素子やLED素子を好ましく用いることができる。

【0052】

【発明の効果】以上説明したように、本発明によれば、電流制御型の発光素子を用い、時間変調により階調表示する表示パネルにおいて、表示期間を大幅に延長することができるため、従来よりも高輝度での表示、或いは、発光素子に流れる電流を低減してパネル全体での消費電力削減を図ることができる。よって、携帯機器などのバッテリー駆動用途において、より長時間の駆動が可能になり、非常に有用である。

【図面の簡単な説明】

【図1】本発明の本発明の表示パネルの1画素の回路構成の模式図である。

【図2】図1の回路構成において、第2スイッチ手段を2入力のマルチプレクサで構成した場合の模式図である。

【図3】図1の回路の駆動タイミングチャートである。

【図4】図2の回路構成の画素を用いて構成した本発明の表示パネルのアクティブマトリクス回路の模式図である。

【図5】本発明の表示パネルの一実施形態の1画素の回路図である。

【図6】本発明の表示パネルの他の実施形態の1画素の回路図である。

【図7】本発明の表示パネルの他の実施形態の1画素の回路図である。

【図8】トランジスタと発光素子とを用いたアクティブマトリクス型表示パネルの1画素の回路構成を示す図である。

【図9】トランジスタのゲート電圧・ソース電流特性を示す図である。

【図10】カレントミラー回路とEL素子を用いたディスプレイの駆動回路の1画素構成を示す図である。

【符号の説明】

1、3 スイッチ手段

2 電流メモリ部

4 発光素子

5 マルチプレクサ

11 走査ドライバ

12 信号ドライバ

13、14 制御信号ドライバ

15 電源線

16 走査線

17 信号線

18、19 制御信号線

51～55 TFT

56 保持容量

57 +電源線

58 -電源線

59 パルス信号線

60 有機EL素子

61 TFT

62 パルス信号線

71、72 TFT

73、74 パルス信号線

101、107 トランジスタ

102 走査線

103 データ線

104 コンデンサ

105 電源電極

106 EL素子

108 共通電極

109 電流制御回路

120 カレントミラー回路

121～124 TFT

125 保持容量

126 有機EL素子

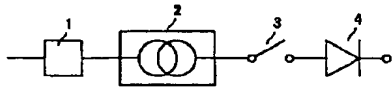
127 走査線

128 信号線

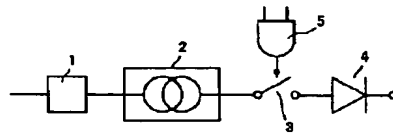
129 電源線

130 定電流回路

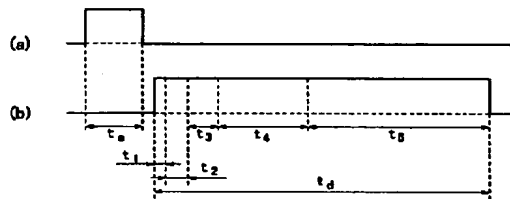
【図1】



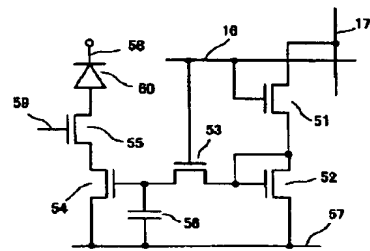
【図2】



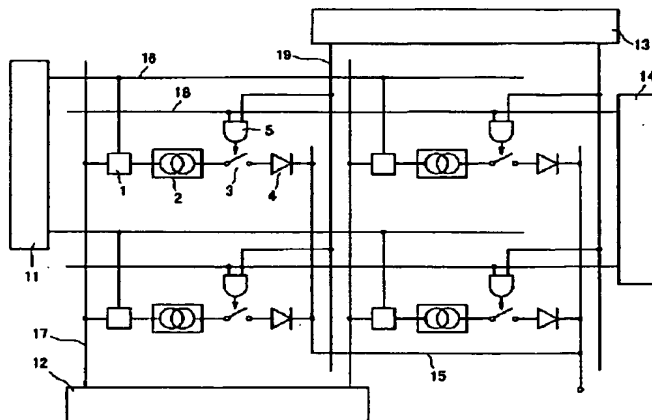
【図3】



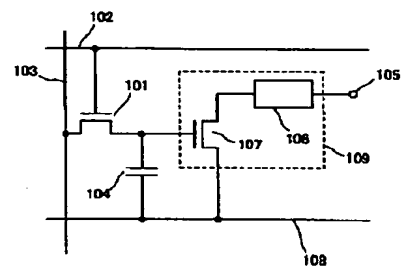
【図5】



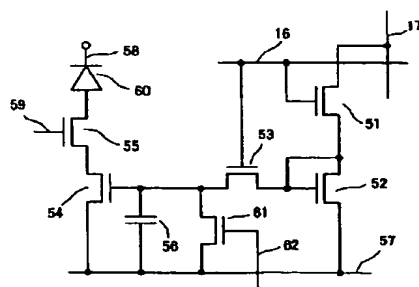
【図4】



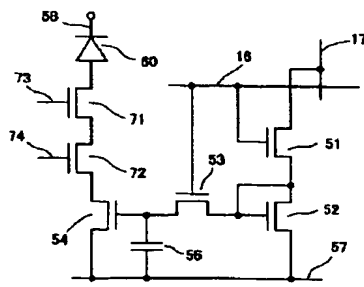
【図8】



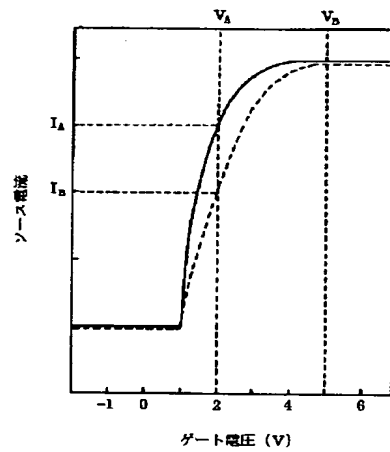
【図6】



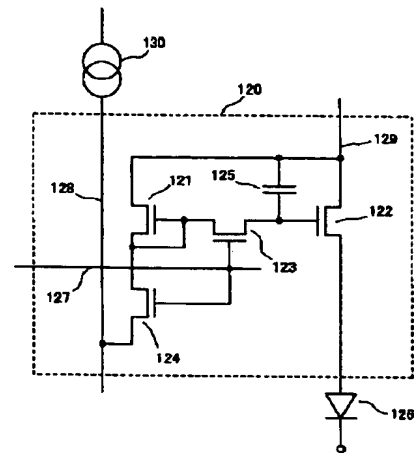
【図7】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.⁷
H05B 33/14

識別記号

F I
H05B 33/14

テーマコード(参考)

A

Fターム(参考) 3K007 AB03 AB05 BA06 CA03 DA02
EB00 EC00 GA00
5C080 AA06 AA07 BB05 DD02 DD26
EE01 EE17 FF11 GG02 GG08
HH10 HH14 JJ02 JJ03 JJ04
JJ05 KK02 KK07 KK43
5C094 AA22 BA03 BA27 CA19 DA13
EA04 EA05 EA07 EB05